



高速數位電路之電源完整性

文 / 張存續

前言

最近幾年，訊號完整性 (Signal Integrity) 普遍受到大家的關注，在每個高速數位設計研討會上都可以看到它的身影。然而，該如何將這些知識整合進入整個 PCB 設計研發的流程，大家卻有不同的認知。如果在設計初期時導入，以目前的主機板產業緊縮的生產流程，大都遵循中央處理器或晶片組廠商所制定的設計規格，能發揮與變動的空間有限。然而，如果是設計後期的驗證，又往往陷入實驗量測與模擬結果不匹配的痛苦深淵。由於影響的實驗與模擬的參數太多，且整體產業變化與進步的速度很快，目前高速 PCB 的分析軟體都有其應用上的限制。因此掌握最重要的影響因素與特性，將有助於我們分析與設計。電源輸送系統 (Power Delivery System) 一般被認為是相當複雜且不

易分析，然而所有的電路都跟它有關。本文提出不同的思考方向，以優先確保電源品質或完整性 (Power Integrity) 為首要，目的是降低電源雜訊，提高操作範圍。

電源輸送系統的複雜性

隨著人類對高速資料處理與運算的需求，電腦科技的進步一日千里。而電腦的架構，除了 IC 晶片製程的尺度愈來愈小，各元件彼此間的連結 (interconnect) 的密度也愈來愈高，操作頻率更是愈來愈高，相對地計時 (timing) 的掌握也必須愈精準。目前數位訊號的操作頻率雖然只有數百個 MHz，但是由於它的上升與下降時間很短 (數百 ps)，因此它的頻寬範圍往往到達數個 GHz。也就是說，一個完整的數位訊號，除了本身的頻率外，它的高次諧波分量也必須考量。這是一個寬頻帶的系

統，同時也是一個高頻系統。而一個印刷電路板(PCB)，不論是封裝(package/substrate)或是主機板(mother-board)，它的幾何結構與電路的共振頻率也差不多落在這一個範圍。不當的電源輸送系統設計，將導致電源品質的惡化，甚至造成系統無法正常操作。

此外由於元件的密度愈來愈高，數量愈來愈多，降低每個元件的消耗功率是當務之急。因此低操作電壓與小振幅(swing)是普遍的設計趨勢。然而操作電壓下降也表示它愈容易受到雜訊的影響。這些雜訊來源很廣，可能來自於訊號的耦合或串擾(coupling/crosstalk)；或來自相鄰兩訊號的干擾(Inter-Symbol Interference, ISI)；或來自於電磁輻射(Electro-Magnetic Interference/Compatibility, EMI/EMC)，但是影響最大的事來自於電源的雜訊，特別是當數個訊號同時開關時所產生的同時切換雜訊(simultaneous switching noise, SSN)。

以上兩個原因使得電源完整性的議題，在最近幾年普遍的受到重視。然而要能完整而具體的分析，實在不是一件容易

的事因為通常整個電源供應系統除了包含電路(circuit)系統外，也包括了由電源面與接地面(power/ground planes)所形成的電磁場(EM field)系統。圖1是一個電源傳輸系統示意圖。電源(Vcc)從電源供應器輸入後，經過via 到達電源面與接地面，再通過其他的via 接到package/substrate上，最後再由電源島與接地島(power/ground island)透過接合線(wire-bonding)或直接(例如：flip-chip)輸送到IC 晶片內部。其中為了確保高頻的電力傳輸，我們可以加旁路電容(by-pass capacitor)；而為了電源穩定，我們也可以加上去耦合電容(de-coupling capacitor)。這個電源供應系統的共振頻率已進入微波範圍，高頻雜訊容易被儲存在某些特定共振頻率上，造成電源品質的降低。

電源完整性與訊號完整性有密切的關係。穩定而無雜訊的電源供應是良好訊號品質的基石，而良好的訊號品質也能降低雜訊的產生，兩者相輔相成。更進一步說，電源完整性會影響計時的偏移量(timing skew)。良好的電源供應除了提供輸阻抗值呢？也就是我們的目標阻抗值要

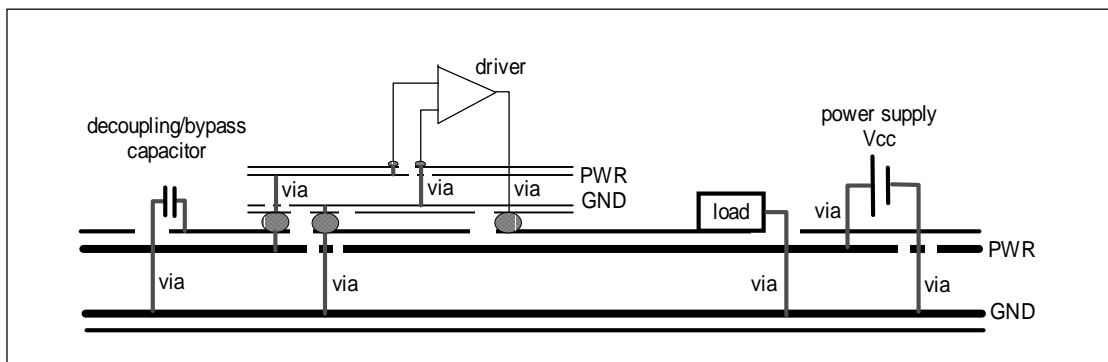


圖 1 電源輸送系統示意圖

穩定的電源外，更重要的是，可以有
效的降低電源雜訊對計時(timing)的影
響。雖然電源輸送系統的分析工作較為繁
雜，但是它的影響至鉅。如果這一層沒有
掌握，後面的訊號品質分析，將有更多的
不確定因素導入。這是為何作者將之列為
首要討論目標。這是一個新興的領域，相
關資訊較少。在此條件下，如何確保電源
品質的穩定性，將變得更具有挑戰性。

降低電源雜訊的方法

● 去耦合電容

在眾多去除電源雜訊的方法中，安置

去耦合電容是最普遍，且最常用的方法。
去耦合電容的作用是将多餘的電能儲存在
電容器中，並在電能供應不足時，回饋電
源供應系統。它能吸收突波，降低雜訊，
穩定電壓。在實際應用上，去耦合電容的
安置，如能愈接近元件效果愈好。然而當
元件很多時，如何安排去耦合電容的位置
也必須有所取捨。而在某些佈線緊密的設
計下(例如：substrate layout)，不太容
易找到足夠且適當的空間來安置這些電
容。另外，去耦合電容多少都會有等效串
聯電感(equivalent series inductance,
ESL)存在，導致在高頻時整個去耦合電容
呈現電感性(inductive)，而失去了吸收高

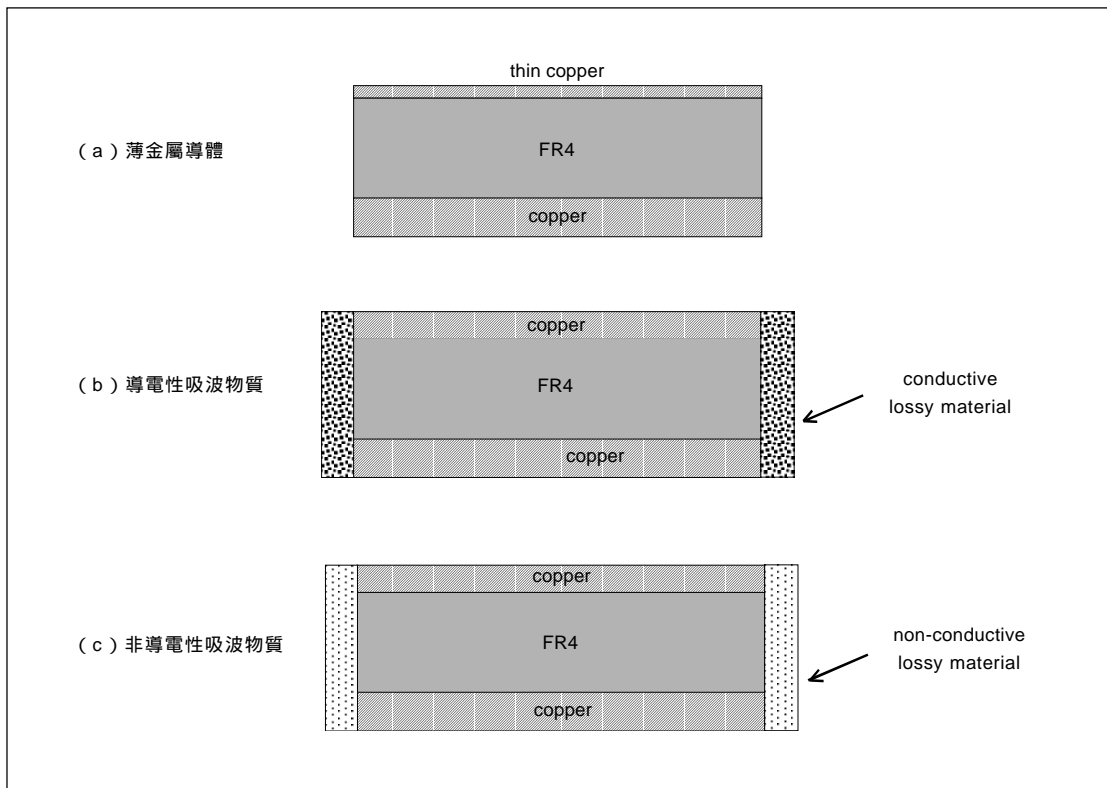


圖 2 吸收高頻雜訊的方法

頻雜訊的能力。這個特性促使我們找尋更佳吸收高頻雜訊的方法。

● 收高頻雜訊

PCB 中的介電物質，本身特性的損耗參數(loss tangent)就能消耗高頻雜訊。例如常用的FR4(epoxy-resin-fiberglass)，它的損耗參數在1GHz是0.02。然而這個值並不足以提供足夠的吸收高頻雜訊能力。如果更換成其它介電物質是否會比較好呢？其實利用損耗特性來吸收高頻雜訊是兩面刀，因為損耗介電物質在一方面可以有有效的吸收雜訊，但在另一方面也會衰減高頻訊號的傳輸能力。為此有人提出利用很薄的金屬導電層本身的集膚損耗(skin loss)，來吸收這些高頻雜訊^[1]，參考圖2(a)，但是這種方式需要變更目前製作的流程與方法。也有人提出在PCB邊緣塗上損耗物質^[2]，參考圖2(b)。這是利用電路板上的邊界條件，使得共振時最大電磁場集中在電源面與接地面的邊緣。這種方式可以有有效的吸收高頻雜訊，降低電磁輻射。然而它的缺點是此損耗物質可以導電，會增加漏電流量(leakage current)。另外，此一損耗物質無法吸收電路板內的高頻雜訊。為了解決上述問題，又有人提出利用不導電的微波損耗物質^[3]，參考圖2(c)。它利用的原理和前者很像，不同的是，它吸收磁能而非電能。這種方法可以解決漏電流的問題，但它一樣無法吸收電路板內的高頻雜訊。此外，由於吸波材料上的限制，無法找到可以吸收寬頻帶損耗物質。這限制了它的實用性。

這些方法在某種程度上，可以降低高頻雜訊與電磁輻射，但是都有其應用上的

限制。因此深入了解整個電源輸送系統，了解雜訊產生的來源，並提出有效抑制雜訊的機制，有其迫切的需要。

電源完整性的分析與設計

電源品質的好壞直接影響訊號品質。好的電源必須具備電壓穩定與快速提供電源的能力。所謂電壓穩定是指所提供的電壓波動(含直流與交流成分)很小。除了對時間的波動很小外，對不同位置的波動也很小。至於快速提供電源的能力主要是指當I/O buffer 切換時，電源的供應可以迅速彌補消耗，也就是電路上等效電感的效應很小。我們可以進一步把問題分成兩類，一是電源輸送阻抗，也就是目標阻抗(target impedance)的概念；另一個是電壓面與接地面(PWR/GND planes)所形成的共振腔特性。這兩類與整個電源輸送系統特性有密切的關係。

● 電源傳輸阻抗

所謂電源傳輸阻抗是指在電源傳輸時它所遇到的等效阻抗。一般情況下，電源供應都是直流，但是當I/O buffer 快速切換時，電源內除了有直流的成分也有交流的成分。而交流成分的頻率很高且範圍很廣，因此必須考慮阻抗匹配與共振的問題。電源傳輸阻抗值越小，不匹配導致的反射效應愈小，也就是電源內雜訊愈小，品質也愈好。基本上，從圖1可以看出，整個電力傳輸是電感性(主要來自於via及PWR/GND inductance)，阻抗值會隨著頻率而變大。

我們要如何規範我們的最大容許的傳

如何訂定。這可以從元件操作時的平均阻抗，乘上容許的電壓變化率得到。至於頻率範圍值可以由最大的操作頻寬範圍(knee frequency)決定。

● 電壓面與電源面的共振特性

一旦某個共振頻率在操作時被激發，表示某個電壓面與電源面之間形成一個共振腔。這個共振腔會累積雜訊能量，導致電源供應波動，也就是當元件汲取電壓的瞬間是忽高忽低，造成輸出訊號不穩定甚至無法操作。這個現象在多個 I/O buffer 同時切換時會更加惡化。然而這些雜訊是如何進入共振腔，一般來說，可以有幾個途徑。一是 I/O buffer 切換時，流經電源面與接地面的 crowbar 電流；另一種是訊號在 reference plane 上的 return current 或訊號電流流經 via 上的輻射雜訊。然而，進入共振腔必須要同相位(in phase)才能持續累積，所以同時切換輸出(SSO)時的 crowbar 電流是雜訊主要的來源(SSN)。

在 PCB 的電壓面與電源面的設計上，共振頻率(resonant frequency)與品質因數(quality factor)，是相對比較不易掌握的參數。因為通常它牽涉的範圍較廣原因較複雜。首先，共振特性不僅會發生在電壓面與接地面之間，而且電壓面與電壓面，接地面與接地面也會形成共振腔。也就是只要有兩個金屬面之間就可以儲存電磁能，形成共振。另外在多層的 PCB 結構中，層與層之間的耦合亦增加問題的複雜性。此外，PCB 上的 via、電容、電感及電阻等元件也會改變整個共振特性。因此如何能整合電磁場與電路兩種分析軟體是主要的困難。

避免共振產生的電源輸送系統設計

所謂「預防勝於治療」。SI 工程師如何將這些設計理念導入整個高速 PCB 的電源供應系統設計流程中，減少事後繁瑣的偵錯工作。將可大量節省人力、物力與開發時間。此外，在這一節中，我們將討論如何避免共振特性對高速數位系統的危害，並提供模擬結果來表達其效果。

描述一個共振系統一般有兩個重要參數，一是共振頻率，另一個是品質因數。主機板電壓面與接地面的面積較大，所以它的共振頻率比封裝上的共振頻率來得低。一般來說，主機板的共振頻率大概落在數百 MHz，而封裝上的共振頻率大概是 GHz 級。

● 避免操作在共振頻率 ---f。

整個電腦的操作有數個不同的頻率。例如中央處理器最快(目前大於 2GHz)、記憶體(DDR 400MHz、Rambus 533MHz)、時脈(-266MHz)。在眾多的操作頻率中，我們該如何避免這些操作頻率，不管是基波或是諧波，與我們的系統產生共振^[4]。一個共同而普遍的原則是提高系統的共振頻率。然而要如何提高系統的共振頻率呢？我們之前曾提到共振頻率與很多參數有關，在此為了表達出這一個特性，我們以一種常用的佈局(Layout)來表示。

圖 3(a) 表示一個 Y 字型的電源供應走廊(power corridor)。由於這種微帶共振器(microstrip resonator)的特性是最大的電磁場強會分佈在兩端，因此改變邊緣的邊界條件，可以有效的提高共振頻率。圖 3(b) 表示，當此一共振面積縮小時，共

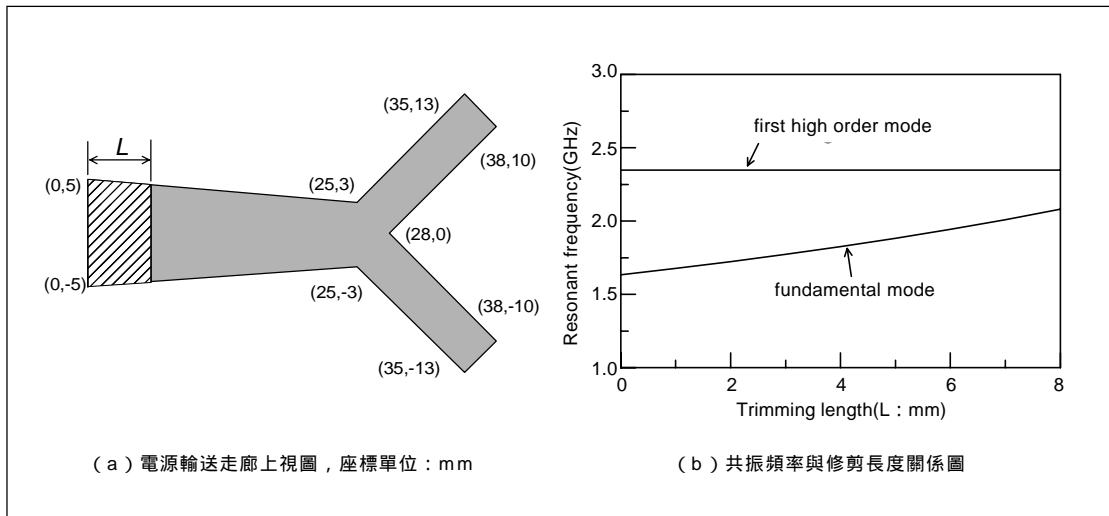


圖 3 提高共振頻率的方法

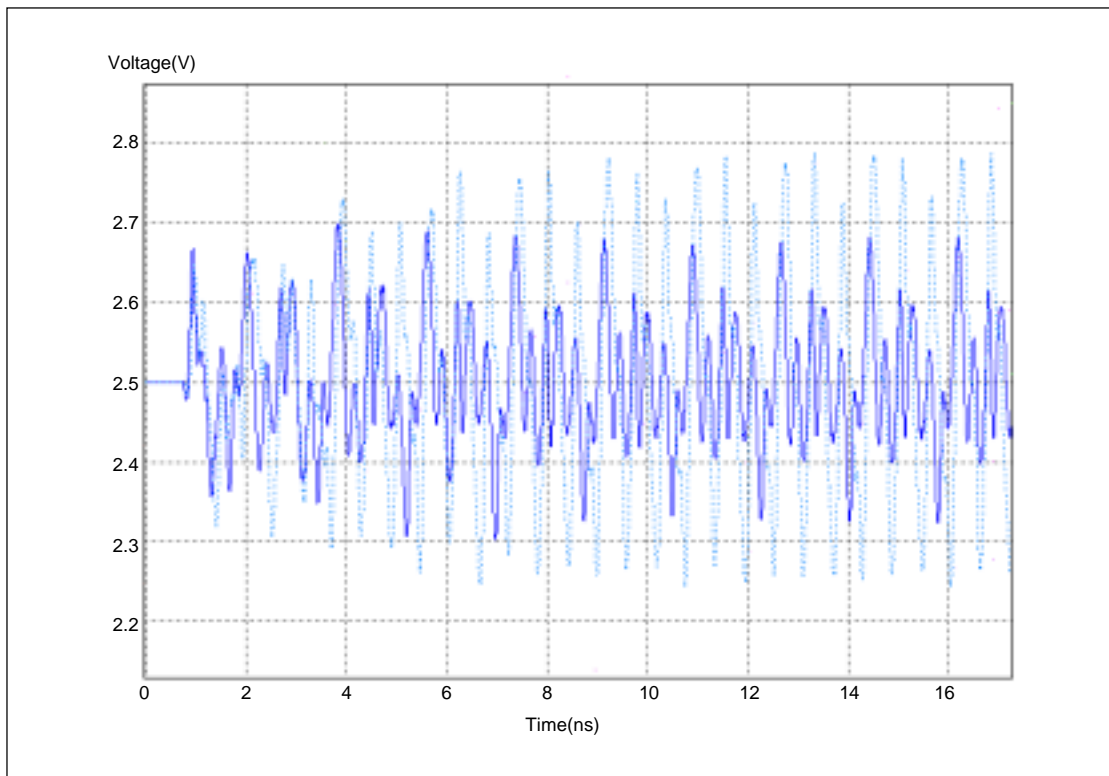


圖 4 操作頻率的三次諧波與電源傳輸系統產生共振(虛線)，及共振頻率被錯開(實線)時的電源雜訊模擬結果。

振頻率可以有效的提高。圖 4 模擬顯示當共振頻率被調開時，此一共振腔已經無法有效的積蓄能量，雜訊因而減小^[5]。

●降低共振強度 ---Q

一個共振腔的品質因數愈高，表示這個共振特性愈強，但它影響的頻率範圍較小。反之，如果它的品質因數愈低，表示這個共振特性愈弱，也就是它無法積蓄很多能量，但它影響的頻率範圍愈大。一般 PCB (介電物質是 FR4) 的品質參數大約在數十到數百。所以可行的方法是降低它的品質因數。這可以藉有增加損耗來達成。損耗有兩種方法，一是內部損耗，另外一種是外部損耗。前面已經提及，內部損耗可

以降低雜訊，但它也會影響訊號品質。所以我們提出一種方法可以有效的達成外部損耗^[6]。

此一方法是在最大場強的地方，增加一耦合的機制。可以有效的將這些共振雜訊引出共振腔外，並有效的降低品質因數。圖 5 表示這些雜訊能被有效的耦合出共振系統，電壓的波動也因此降低。

為了展示上的方便，以上這兩種模擬結果都不包含基片(die)上電容或去耦合電容的效應。

結論

電源完整性分析在高速數位線路的設

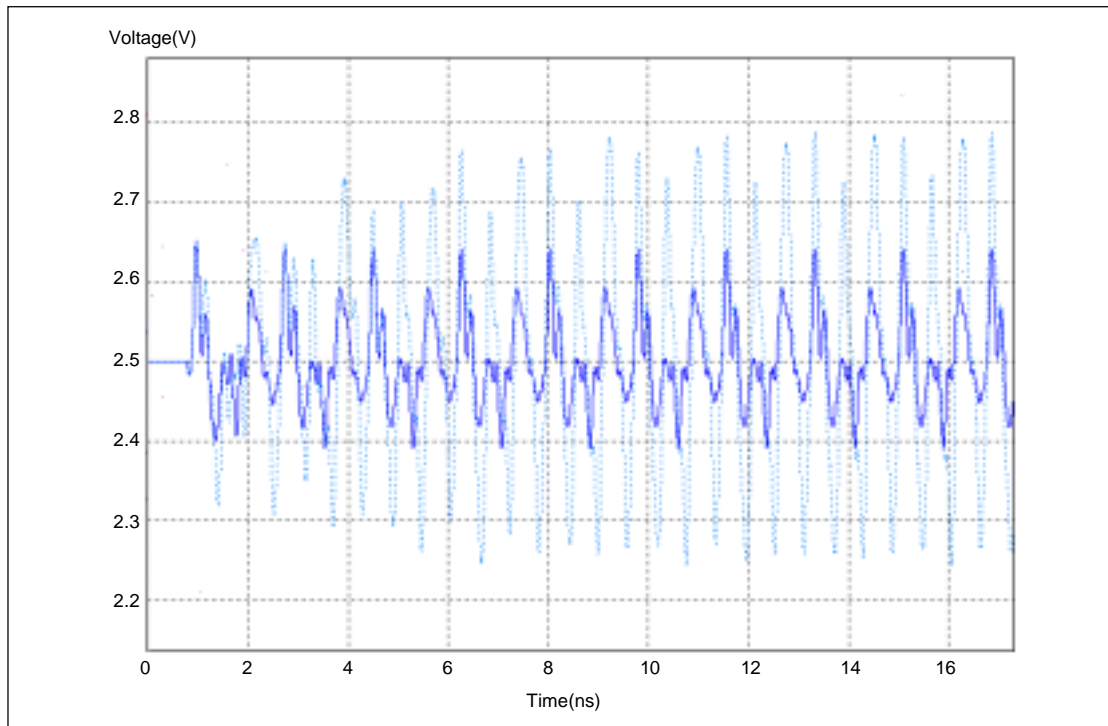


圖 5 操作頻率的三次諧波與電源輸送系統產生共振 (虛線)，及增加外部損耗 (實線) 時的電源雜訊模擬結果。

計上愈來愈重要。電源品質的好壞，關係著整個系統的操作與表現，更與高速數位訊號品質是息息相關。由於整個電源傳輸系統必須結合線路與微波知識，它是一個相對較複雜的系統，因此在設計上必須有新的思維，並結合更多高頻系統的設計概念。■

參考資料

- [1] I. Novak, "Lossy Power Distribution Networks with Thin Dielectric Layers and/or Thin Conductive Layers". IEEE Transactions on Advanced Package, vol.23, No.3, pp. 353-360, Aug. 2000.
- [2] V. Adsure, H. Kroger, and W. Shi, "Improving Signal Integrity in Circuit Boards by Incorporating Embedded Edge Terminations", IEEE Transactions on Advanced Package, vol.25, No.1, pp. 12-17, Feb. 2002.
- [3] I. Novak, "Reducing Simultaneous Switching Noise and EMI on Ground/Power Planes by Dissipative Edge Termination". IEEE Transactions on Advanced Package, vol.22, No.3, pp. 274-283, Aug. 1999
- [4] A. Waizman and C. Y. Chung, "Resonant Free Power Network Design Using Extended Adaptive Voltage Positioning (EAVP) Methodology", IEEE trans. Advanced Package, vol.24, No. 3, pp.236-244, Aug. 2001.
- [5] T. H. Chang, "A Proposed Resonance-Free Power Distribution Network by Detuning the Resonant Frequency", patent pending.
- [6] T. H. Chang, "Minimizing the Simultaneous Switching Noise in a Power Delivery System by External Coupled Resistive Termination", patent pending.

作者簡介

張存續先生，清華大學物理系博士。現為矽統科技技術副理。專長：高頻率、高功率微波系統、訊號完整性、電源完整性。
